

DELPHION

No active tr...

Select DR

SI

Log Out Work Filted Saved Searches

RESEARCH

PRODUCTS

INSIDE DELPHION

My Account

Search: Quick/Number Boolean Advanced Der

En

Derwent Record

View: Expand Details Go to: Delphion Integrated View

Tools: Add to Work File: Create new Wor

Derwent Title: Fair packet scheduler through weighted fair queuing(wfq) emulation in high-speed integrated service network and method thereof

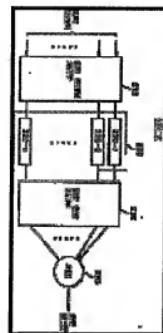
Original Title: KR1000087A: FAIR PACKET SCHEDULER THROUGH WEIGHTED FAIR QUEUING(WFQ) EMULATION IN HIGH-SPEED INTEGRATED SERVICE NETWORK AND METHOD THEREOF

Assignee: INFORMATION & COMMUNICATIONS FOUND Non-standard company
UNIV INFORMATION & COMMUNICATIONS Non-standard company

Inventor: KO N S; KOH N S; PARK H S;

Accession/Update: 2001-429981 / 200340

IPC Code: H04L 12/56 ;



Derwent Classes: W01;

Manual Codes: W01-A03B(Packet transmission), W01-A06G2(Stored and forward switching)

Derwent Abstract: (KR1000087A) Novelty - A fair packet scheduler through weighted fair queuing (WFQ) emulation in a high-speed integrated service network and method thereof, is provided to maintain a counting complexity of a system virtual time with zero/one while securing a delay bound and a fair index in a WFQ standard. The fair packet scheduler provides a fair and optimum delay bound, when deciding packet transmission orders based on a traffic contract with a network by connection of each packet entering an asynchronous transfer mode(ATM) exchange or a router. Detailed Description - An input traffic processor(210) utilizes a system virtual time maintained and managed in a node whenever a new packet arrives at the node to calculate a time stamp, and adds the time stamp to a header of arrived packets. Queue blocks(220-1/220-n) temporarily store the packets processed in the input traffic processor(210) and make the stored packets waited. A start packet processor (230) selects a packet having a smaller time stamp value among the standby head packets. A server(250) transmits the packet selected in the start packet processor (230) according to arrival orders to a link. And the start packet processor(230) updates the system virtual time before a start time of a new service, after the service for the packets in the server(250) is ended.

Images:

Int. CL⁷ H04L 12/56
 Application Number/Date 10-2000-0009459 (2000.02.25)
 Unexamined Publication Number/Date 10-2001-0000087 (2001.01.05)
 Publication Number/Date - - (2003.01.30)
 Registration Number/Date 10-0369562-0000 (2003.01.13)
 Right of original Application
 Original Application Number/Date
 Final disposal of an 등록결정(일반)

application
 International Application
 Number/Date
 International Unexamined Publication Number/Date
 request for an examination 있음

Date of request for an examination/the 2000.02.25 / 13
 number of claims

Designated States

Applicant 학교법인 한국정보통신학원
 서울특별시 강남구 도곡동 ***-** (대한민국)

Inventor/Deviser 박홍식
 대전광역시 유성구 신성동 한울아파트***동***호 (대한민국)
 고남석
 대전광역시 유성구 가정동***-** (대한민국)

Agent 장성구
 서울시 서초구 양재동 275-7 트러스트타워19층(제일광장특허법률사무소) (대한민국)
 김원준
 서울시 서초구 양재동 275-7 트러스트타워19층(제일광장특허법률사무소) (대한민국)

Priority info (Country/Number/Date)

고속 통합 서비스망에서 WF Q의 애플레이션을 통한 공정페킷 스케줄링 방법 및 그 공정 페킷 스케줄러

Title of invention (EMULATED WEIGHTED FAIR QUEUEING ALGORITHM FOR HIGH-SPEED INTEGRATED SERVICE NETWORKS AND THE SCHEDULER THEREFOR)

Abstract

본 발명은 ATM 또는 인터넷 등의 고속 페킷 교환망에서의 ATM 교환기 또는 라우터 등과 같은 페킷 노드에서 제한된 노드의 처리용량을 복수의 사용요청에 대하여 공정하게 분배하기 위한 공정 페킷 스케줄링(fair packet scheduling) 방법 및 그 스케줄러에 관한 것이다.

본 발명은 노드로 새로이 도착한 페킷에 대한 새로운 서비스의 개시시점 이전에 간접된 시스템 가상 시간을 시스템 가상시간을 이용하여 타임스탬프를 계산하여 상기 도착 페킷의 헤더에 부가하여 큐에 일시 대기시키는 입력 트래픽 처리부와, 상기 큐에 대기중인 페킷을 갖는 연결의 선두 페킷 중 가장 적은 타임스탬프값을 갖는 페킷을 선택하는 출발 페킷 처리부와, 상기 출발 페킷 처리부에서 선택된 페킷을 연결별 도착한 순서대로 목적지 링크로 전송하는 서비스를 수행하는 서비스를 포함한다.